

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-118992

(43)Date of publication of application : 07.05.1990

(51)Int.Cl. G11C 11/417  
H01L 27/11

(21)Application number : 63-269457 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

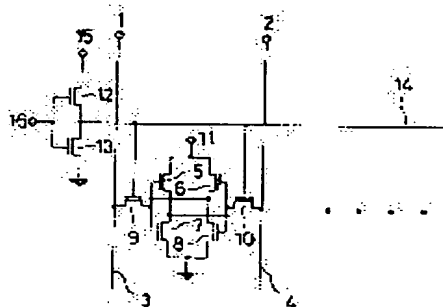
(22)Date of filing : 27.10.1988 (72)Inventor : TAMAOKI NORIHIKO

## (54) STATIC TYPE SEMICONDUCTOR STORAGE DEVICE

## (57)Abstract:

**PURPOSE:** To impress a high voltage to a transmission gate transmitting information stored in a storage element while reducing the power consumption in the standby state and to reduce power consumption without decreasing the processing speed by decreasing a power voltage impressed to the storage element storing the information to a low level.

**CONSTITUTION:** An FF circuit comprising two P-channel MOS TRs 5, 6 and two N-channel MOS TRs 7, 8 is arranged between data lines 3, 4 connecting respectively to data input terminals 1, 2 of a static type semiconductor storage device, N-channel TRs 9, 10 are connected between gates of the TRs 5 - 8 and the data lines 3, 4 to connect a word line 14 to a gate of TRs 9, 10. A signal input terminal 16 is connected to the transmission gate comprising the TRs 9, 10 via TRs 12, 13 operated as the inverter through the constitution above. Then an electromagnetic terminal 11 is connected to the source of a storage element group and the power voltage of the FF circuit forming a storage element is used as a low voltage from the terminal 11 and a voltage higher than the inverter circuit is impressed to the gate of the FF circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-118992

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月7日

G 11 C 11/417  
H 01 L 27/11

8522-5B G 11 C 11/34 3 0 5  
8624-5F H 01 L 27/10 3 8 1

審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 スタティック形半導体記憶装置

⑮ 特 願 昭63-269457

⑯ 出 願 昭63(1988)10月27日

⑰ 発 明 者 玉 置 徳 彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 星 野 恒 司

明 細 書

1. 発明の名称

スタティック形半導体記憶装置

2. 特許請求の範囲

(1) 記憶素子の情報を伝達する伝達ゲートのゲート電圧が記憶素子内の電圧より高いことを特徴とするスタティック形半導体記憶装置。

(2) 複数行・複数列の記憶素子を持つスタティック形半導体記憶装置において、各行ごとに伝達ゲートのゲート電圧を共通にして、一行の記憶素子の電源電圧を他の行の記憶素子の電源電圧と分離し、選択される記憶素子のある行の電源電圧のみを他の行の記憶素子の電源電圧より高くすることを特徴とするスタティック形半導体記憶装置。

(3) 複数行・複数列の記憶素子を持つスタティック形半導体記憶装置において、上記の記憶素子を複数のブロックに分割し、各ブロック内の記憶素子群の記憶素子の電源電圧を共通にして、他のブロック電源電圧と分離し、選択される記憶素子

のあるブロックの記憶素子の電源電圧のみを他のブロックの記憶素子の電源電圧より高くすることを特徴とするスタティック形半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、高速・低消費電力を特徴とするスタティック形半導体記憶装置に関し、さらに具体的に述べれば、記憶素子および情報を伝達する伝達ゲートへの新しい電圧印加方法を用いたスタティック形半導体記憶装置に関するものである。

(従来の技術)

従来、半導体記憶装置における内部電圧の操作は、ダイナミック形半導体記憶装置にその例があるだけで、高速性を要求されるスタティック形半導体記憶装置についてはまだその例がない。

(発明が解決しようとする課題)

しかし、スタティック形半導体記憶装置は、高速性と低消費電力が同時に要求されるが、記憶素子容量が増加すると、待機時の消費電力を低く抑えることが難しいという問題がある。また、スタ

ティック形半導体記憶装置の特機時の消費電力は、記憶素子群のリーク電流によるので、記憶素子群に印加される電源電圧を低くすれば、リーク電流の低下した分だけ減少するが、電源電圧を低くすると、素子の電流駆動能力の低下を引き起こし、記憶装置の速度を低下させるという問題もある。

本発明は上記の問題を解決するもので、消費電力の少ない高速のスタティック形半導体記憶装置を提供するものである。

(課題を解決するための手段)

本発明は、上記の課題を解決するため、情報を記憶する記憶素子に印加する電源電圧を低く抑えることにより、待機時の消費電力を低減しながら、記憶素子に記憶された情報を伝達する伝達ゲートに印加する電圧を高くするものである。

また、複数列あるいは複数行の記憶素子を持つ半導体記憶装置で、ある列または行の記憶素子の伝達ゲートに印加する電圧を共通にし、この共通する伝達ゲートを持つ記憶素子群に印加する電源電圧を他の列または行の記憶素子群の電源電圧と

分離し、伝達ゲートがオン状態の記憶素子群に印加する電源電圧のみを高くするものである。

また、複数列・複数列の記憶素子を持つスタティック形半導体記憶装置を複数のブロックに分割し、ブロックごとに記憶素子の電源電圧を共通とし、他のブロックの記憶素子の電源電圧と分離し、伝達ゲートがオン状態にある記憶素子を含むブロックの記憶素子の電源電圧のみを他のブロックの記憶素子の電源電圧より高くするものである。

(作用)

上記の構成により、記憶素子群に印加する電源電圧が低くなるので、リーク電流の低下によって待機時の消費電力が低下する。また、記憶素子群の伝達ゲートのゲート電圧は高いので、伝達ゲートのビットラインに対する電流駆動能力の低下が抑えられ、高速性を保つことができる。

また、共通する伝達ゲートを持つ列あるいは行ごとの記憶素子群に印加する電源電圧をそれぞれ分離し、伝達ゲートがオン状態の記憶素子群に印加する電源電圧のみを高くすることにより、若干

の回路の複雑化はあるものの、他の列あるいは行の記憶素子群の記憶素子の電源電圧を低下させることができるため、記憶装置の速度を低下させることなく、待機時の低消費電力化を図ることができる。

また、分割されたブロックごとに記憶素子の電源電圧が共通で、電源電圧が分離されているので、伝達ゲートがオン状態の素子を含むブロックの電源電圧のみを他のブロックの記憶素子の電源電圧より高くすることにより、同様に若干の回路の複雑化はあるものの、選択されたブロック以外の記憶素子の電源電圧を低下させることができるため、記憶装置の速度を低下させることなく、待機時の低消費電力化を図ることができる。

(実施例)

本発明によるスタティック形半導体記憶装置の第1の実施例を、第1図に示す回路図により説明する。

同図は、本発明によるスタティック形半導体記憶装置の要部回路図で、データの入出力用端子1

および2にそれぞれ接続された2本のデータ線3および4の間に、2個のPチャネルMOSトランジスタ(以下、PMOSと称す)5および6と、2個のNチャネルMOSトランジスタ(以下、NMOSと称す)7および8とでそれぞれ2個のCMOSを構成したフリップフロップ回路を配置し、それぞれのCMOS(PMOS5とNMOS7、およびPMOS6とNMOS8)のゲートと上記のデータ線3および4とをそれぞれNMOS9および10で接続し、記憶素子を形成する。なお、上記のフリップフロップのPMOS5および6のソースは電源電圧端子11に接続し、NMOS7および8のソースは接地する。また、上記のフリップフロップを構成する一方のCMOSのドレインは、他方のゲートに交差するように接続する。

さらに、上記の伝達ゲート用の2個のNMOS9および10のゲートは、PMOS12およびNMOS13で構成されたインバータとして働くCMOSのドレインに接続されたワード線14に並列に接続されている。なお、PMOS12のソースはインバ

ータ電源端子15に接続され、NMOS13のソースは接地されている。また、両者のゲートは、書き込み・読出し用の信号入力端子16に接続されている。

なお、上記の電源電圧端子11の電圧は3V、インバータ電源端子15の電圧は5Vである。

このように構成されたスタティック形半導体記憶装置の動作を説明する。

フリップフロップの電源電圧が低いので、待機時の消費電力が抑えられるが、フリップフロップ回路のゲートにかかる電圧が高いため、データ線3および4に対する電流駆動能力の低下が抑えられ、従って、高速性が保たれる。

次に、本発明によるスタティック形半導体記憶装置の第2の実施例を、第2図(a)および(b)に示す回路図により説明する。

第2図(a)は、第2の実施例の記憶素子群を示す要部回路図で、第1図に示した第1の実施例と異なる点は、第1の実施例が一对のデータ線3および4のみを代表として示したのに対し、第2の実施例では、二対のデータ入出力用端子17と18お

よび19と20にそれぞれ接続された二対のデータ線21と22および23と24を、複数列のデータ線対の代表として示した点と、第1の実施例と同じく2個のPMOS5および6と、2個のNMOS7および8とでそれぞれ2個のCMOSを構成したフリップフロップ回路、ならびにその入力用ゲートと上記のデータ線21および22とを、それぞれNMOS9および10を介して接続した記憶素子を複数段並列に接続し、さらに、各段のCMOSのゲートに接続されたNMOS9および10の各ゲートとワード線用接続端子25および26とを、各段ごとにそれぞれ独立して並列にワード線27および28で接続した点と、各段の記憶素子を構成するPMOS5および6のソースと電源電圧用接続端子29および30とを、各段ごとにそれぞれ独立して接続した点である。

第2図(b)は、電源電圧端子と上記のワード線用接続端子25および26、ならびに電源電圧用接続端子29および30とをつなぐ、記憶素子に書き込み・読出しを行うための回路図である。

回路全体の電源電圧端子31は、高い電源電圧が供給され、これにPMOS32および3個のNMOS33、34および35が順次接続され、上記のPMOS32とNMOS33の中間から低電源電圧線36が出ている。

上記の各段のワード線用接続端子25または26および電源電圧用接続端子29または30の電圧を操作する信号入力端子37および38が設けられているが、両者の回路は同じなので、信号入力端子37についてのみ記述する。

上記の信号入力端子37と前述のワード線用接続端子25は、2個のインバータ39および40を直列に接続されている。上記の電源電圧用接続端子29は、高い電源電圧端子41および上記の低電源電圧線36と、それぞれNMOS42および43を介して接続されており、さらに、NMOS42および43のゲートは、それぞれ信号入力端子37および上記のインバータ39および40をつなぐ接続線の中に接続されている。

このように構成されたスタティック形半導体記

憶装置の動作について説明する。

第2図(b)において、記憶素子に情報を書き込みまたは読出すには、第2図(a)に示す上段の記憶素子群のワード線27と共通する記憶素子群の電源電圧を操作する。まず、信号入力端子37をアース電圧とすると、インバータ39および40を介して、第2図(a)のワード線27に接続するワード線用接続端子25はアース電圧となり、記憶素子の記憶情報はデータ線21と22および23と24に伝わらない。一方、第2図(b)に示す電源電圧用接続端子29は、低電源電圧線36に接続されたNMOS42がオンの状態となり、高い電源電圧端子41に接続されたNMOS43がオフ状態となるので、低い電源電圧に固定され、第2図(a)のワード線27につながる記憶素子の消費電力を低く抑えられる。

次に、信号入力端子37を電源電圧にすると、インバータ39および40を介して、第2図(a)のワード線27は高い電源電圧となり、これにつながる記憶素子の記憶情報をデータ線21と22および23と24に伝えることになる。一方、NMOS42はオフの

状態に、また、NMOS43はオンの状態となるので、電源電圧用接続端子29は高い電源電圧に固定され、これにつながる記憶素子の電源駆動能力を高め、データ線21と22および23と24へ速く記憶情報を伝える。

次に、本発明によるスタティック形半導体記憶装置の第3の実施例を、第3図(a)および(b)に示す回路図により説明する。

第3図(a)および(b)に示す第3の実施例が、第2図(a)および(b)に示した第2の実施例と異なる点は、それぞれの(a)図に示すように、第2の実施例が記憶素子群を各段ごとに構成したのに対し、第3の実施例は2段ずつを一群とし、それぞれの段のワード線44、45、46および47をワード線用接続端子48、49、50および51に接続した点と、それぞれ(b)図に示すように、第2の実施例が、ワード線27および28と、電源電圧の電圧の操作に各段それぞれに信号入力端子37および38を設けたのに対し、第3の実施例では、各群ごとの信号入力端子52および53と、各群の第1段および第2段

共通の信号入力端子54および55を設けた点と、上記の共通の信号入力端子54および55とワード線用接続端子48および49とを、それぞれ直列に接続した2個ずつのインバータ56と57および58と59を介して接続した点である。その他は変わらないので、同じ構成部品には同一符号を付して、その説明を省略する。

このように構成されたスタティック形半導体記憶装置の動作について説明する。

第3図(a)において、記憶素子に情報を書き込みまたは読出すには、第3図(b)に示す上2段で構成された記憶素子群の信号入力端子52、54および55の電圧を操作する。なお、群の上段あるいは下段は、それぞれ信号入力端子52と54あるいは信号入力端子52と55を一組として操作すればよい。動作の詳細については、第2の実施例と変わらないので、その説明は省略する。

(発明の効果)

以上説明したように、本発明によれば、記憶素子群のソースの電源電圧は低く、伝達ゲートのゲ

ート電圧は高いので、処理速度は変えずに低消費電力のスタティック形半導体記憶装置が得られる。また、記憶素子を各段あるいは複数段を一群としたブロックに分割し、ブロックごとに記憶素子群の電源電圧を共通とし、他のブロックの電源電圧と分離し、その素子の伝達ゲートがオン状態になる素子を含むブロックの記憶素子群の電源電圧のみを他のブロックより高くすることにより、若干の回路の複雑化はあるものの、処理速度は変えずに待機時の低消費電力化を図ることができる。

#### 4. 図面の簡単な説明

第1図は本発明によるスタティック形半導体記憶装置の第1の実施例の要部回路図、第2図(a)および(b)ならびに第3図(a)および(b)は、それぞれ本発明による第2および第3の実施例のスタティック形半導体記憶装置の回路図である。

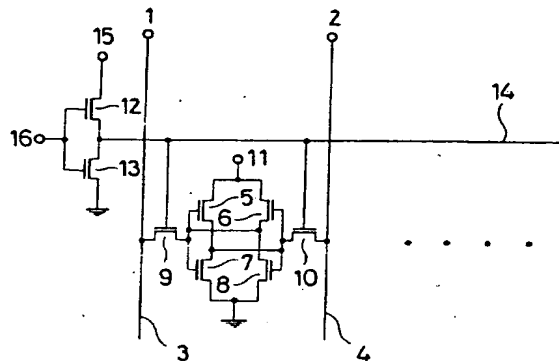
1, 2, 17, 18, 19, 20…データ入出力用端子、 3, 4, 21, 22, 23, 24…データ線、 5, 6, 12, 32…PチャネルMOSトランジスタ(PMOS)、 7, 8, 9,

10, 13, 33, 34, 35, 42, 43…NチャネルMOSトランジスタ(NMOS)、 11, 31, 41…電源電圧端子、 14, 27, 28, 44, 45, 46, 47…ワード線、 15…インバータ電源端子、 16, 37, 38, 52, 53, 54, 55…信号入力端子、 25, 26, 48, 49, 50, 51…ワード線用接続端子、 29, 30…電源電圧用接続端子、 36…低電源電圧線、 39, 40, 56, 57, 58, 59…インバータ。

特許出願人 松下電器産業株式会社

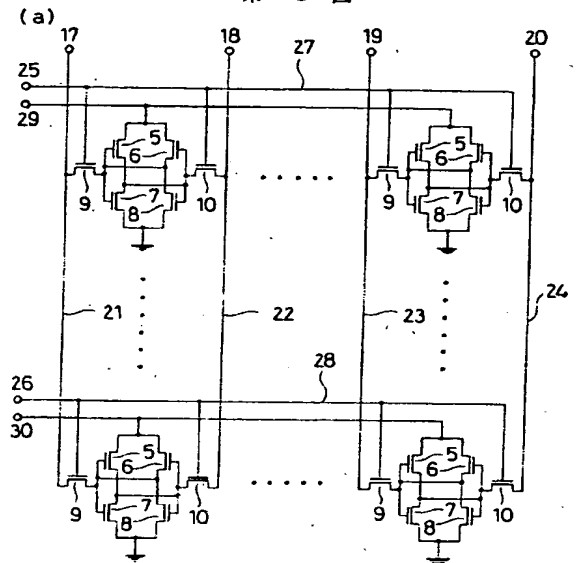
代理人 星野恒司

第 1 図

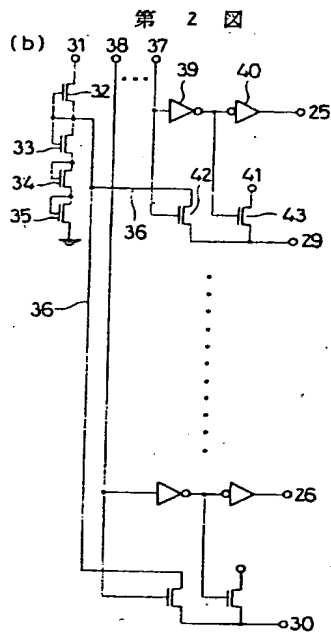


- 1,2 ... データ入出力用端子  
 3,4 ... データ線  
 5,6,12 ... PチャネルMOSトランジスタ (PMOS)  
 7,8,9,10,13 ... NチャネルMOSトランジスタ (NMOS)  
 11 ... 電源電圧端子  
 14 ... ワード線  
 15 ... インバータ電源端子  
 16 ... 信号入力端子

第 2 図

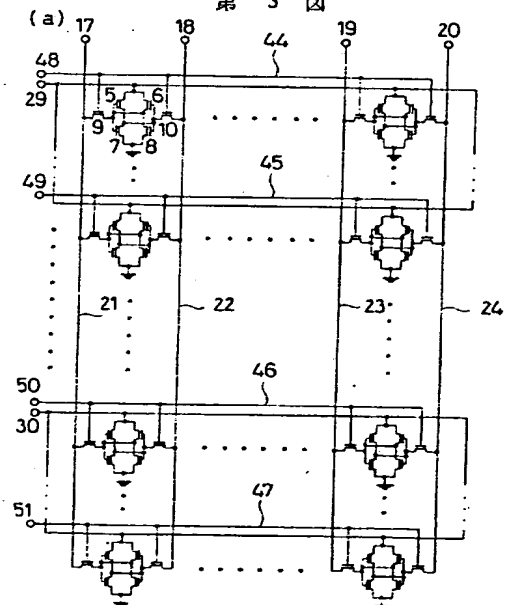


- 17,18,19,20 ... データ入出力用端子  
 21,22,23,24 ... データ線  
 25,26 ... ワード線用接続端子  
 27,28 ... ワード線  
 29,30 ... 電源電圧用接続端子



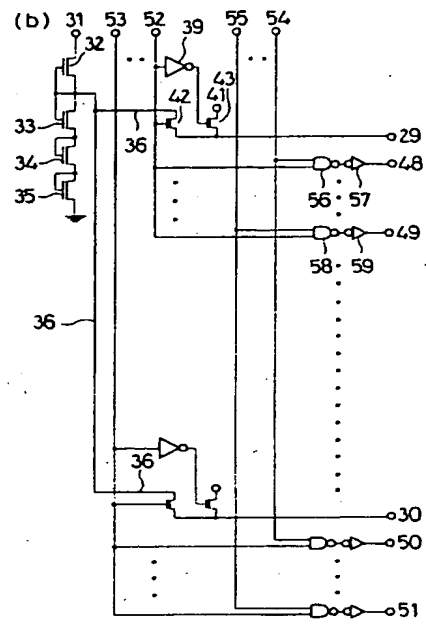
- 31,41 ... 電源電圧端子  
 32 ... PチャネルMOSトランジスタ (PMOS)  
 33,34,35,42,43 ... NチャネルMOSトランジスタ (NMOS)  
 36 ... 他電源電圧端子  
 37,38 ... 信号入力端子  
 39,40 ... インバータ

第 3 図



- 44,45,46,47 ... ワード線  
 48,49,50,51 ... ワード線用接続端子

第 3 図



52,53,54,55 - 信号入力端子

56,57,58,59 - インバータ